

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/KR05/000331

International filing date: 04 February 2005 (04.02.2005)

Document type: Certified copy of priority document

Document details: Country/Office: KR
Number: 10-2004-0015559
Filing date: 08 March 2004 (08.03.2004)

Date of receipt at the International Bureau: 30 March 2005 (30.03.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

RO/KR 15.02.2005



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

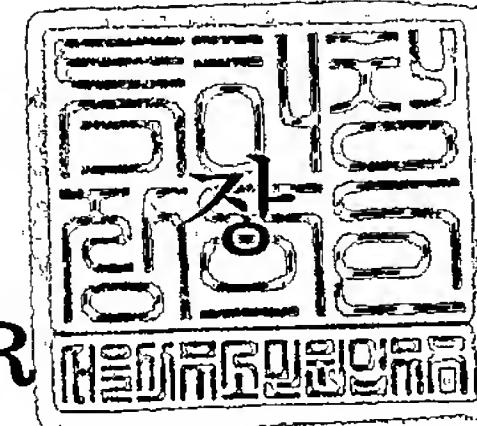
This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2004-0015559
Application Number

출원년월일 : 2004년 03월 08일
Date of Application MAR 08, 2004

출원인 : 학교법인 한양학원
Applicant(s) HANYANG HAK WON CO., LTD.

2005년 02월 02일



특허청
COMMISSIONER

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2004.03.08
【국제특허분류】	H02M 3/00
【발명의 명칭】	디지털 모듈레이션 기법을 이용한 디지털 DC-DC 컨버터
【발명의 영문명칭】	DIGITAL DC-DC CONVERTER USING DIGITAL MODULATION
【출원인】	
【명칭】	학교법인 한양학원
【출원인코드】	2-1998-096893-2
【대리인】	
【명칭】	특허법인씨엔에스
【대리인코드】	9-2003-100065-1
【지정된변리사】	손원 ,함상준
【포괄위임등록번호】	2003-057415-2
【발명자】	
【성명의 국문표기】	노정진
【성명의 영문표기】	R0H, Jeong Jin
【주민등록번호】	660606-1019010
【우편번호】	137-064
【주소】	서울특별시 서초구 방배4동 현대1차아파트 105동 2005호
【국적】	KR
【발명자】	
【성명의 국문표기】	박성진
【성명의 영문표기】	PARK, Sung Jin
【주민등록번호】	760528-1822811
【우편번호】	120-796
【주소】	서울특별시 서대문구 현저동 극동아파트 105동 903호
【국적】	KR
【심사청구】	청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인
특허법인씨엔에스 (인)

【수수료】

【기본출원료】	22	면	38,000	원
【가산출원료】	0	면	0	원
【우선권주장료】	0	건	0	원
【심사청구료】	4	항	237,000	원
【합계】			275,000	원
【감면사유】			학교	
【감면후 수수료】			137,500	원

【요약서】**【요약】**

본 발명은 본 발명은 A/D 컨버팅 방식 대신에, 1차 델타-시그마 모듈레이션 기법을 적용하여 구현한 DC-DC 컨버터를 제공하는데 그 목적이 있다.

본 발명은, 입력되는 PWM 신호에 따라 입력되는 직류(DC) 전압(V_{in})을 사전에 설정된 크기의 직류(DC) 전압으로 변환하는 PWM 생성기(210); 상기 PWM 생성부(210)에서 출력되는 직류 전압을 사전에 설정된 전압으로 컨버팅하는 컨버터(220); 상기 컨버터(220)의 출력전압(V_{out})에 해당되는 피드백 전압(V_{fd})을, 사전에 설정된 기준전압(V_{ref})에 따라, 1비트의 디지털 전압(V_o)으로 변환하는 델타-시그마 변조부(230); 상기 델타-시그마 변조부(230)의 1비트 디지털 전압(V_o)에 포함된 로직 "1"을 정해진 바이트 단위로 카운트하는 카운터(240); 및 상기 카운터(240)에 의한 카운트된 로직 "1"의 개수에 따라 하이레벨의 딜레이 시간을 제어하고, 이 제어된 하이레벨 딜레이 시간을 갖는 PWM 신호를 상기 PWM 생성기(210)로 출력하는 딜레이 제어부(250)를 포함하는 것을 특징으로 한다.

【대표도】

도 2

【색인어】

디지털 모듈레이션 기법, 디지털 DC-DC 컨버터,

【명세서】**【발명의 명칭】**

디지털 모듈레이션 기법을 이용한 디지털 DC-DC 컨버터{DIGITAL DC-DC CONVERTER USING DIGITAL MODULATION}

【도면의 간단한 설명】

도 1은 종래의 디지털 DC/DC 컨버터의 구성도이다.

도 2는 본 발명에 따른 디지털 DC/DC 컨버터의 구성도이다.

도 3은 도 3의 1차 델타-시그마 모듈레이터의 회로도이다.

도 4는 본 발명에 따른 난-오버래핑 2상을 갖는 제1, 제2 클럭신호의 파형도이다.

도 5는 본 발명의 DC/DC 컨버터의 고정 기준전압-출력전압 특성도이다.

도 6a, 6b는 본 발명의 DC/DC 컨버터의 가변 기준전압-출력전압 특성도이다.

* 도면의 주요부분에 대한 부호의 설명.*

210 : PWM 생성기 220 : 컨버터

230 : 델타-시그마 변조부 231 : 스위치드 커패시터부

232 : 적분부 233 : 비교부

234 : D/A 변환부 240 : 카운터

250 : 딜레이 제어부 SW1 : 제1 스위치

SW2 : 제2 스위치 SW3 : 제3 스위치

SW4 : 제4 스위치 SC1,SC2 : 제1 및 제2 클럭신호

VO : 1비트 디지털 전압 VA : 아날로그 전압

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <16> 본 발명은 디지털 모듈레이션 기법을 이용한 디지털 DC-DC 컨버터에 관한 것으로, 특히 A/D 컨버팅 방식 대신에, 1차 델타-시그마 모듈레이션 기법을 적용하여 구현함으로서, 전체 회로에서 아날로그 회로 비중을 줄이고 디지털 회로 비중을 증가시켜 전체 회로를 단순화시킬 수 있고, 설계가 용이하며, 이에 따라 효율성을 향상시킬 수 있는 디지털 모듈레이션 기법을 이용한 디지털 DC-DC 컨버터에 관한 것이다.
- <17> 일반적으로, DC/DC 컨버터는 VLSI(Very Large Scale Integrated Circuit) 시스템, 시스템 온 칩(system on a chip) 등의 거의 모든 회로에 일정한 DC 전압을 공급하기 위한 회로로서, 현재 사용하고 있는 모든 전자제품들에 일정한 전압이 공급되어야 그 제품들이 동작할 수 있게 된다.
- <18> 이러한 디지털 DC/DC 컨버터에서는 출력단에서 나타나는 아날로그 신호를 디

지털 신호로 변환시킨 후, 사전에 설정된 기준 출력전압과 비교하여 출력전압을 원하는 레벨로 조절하는 기능을 수행하는데, 이러한 기능을 수행하기 위해서, 도 1에 도시한 바와 같은 디지털 PWM(Pulse Width Modulation) 제어기를 사용한다.

<19> 도 1은 종래의 디지털 DC/DC 컨버터의 구성도이다.

<20> 도 1을 참조하면, 종래의 디지털 DC/DC 컨버터는 PWM 방식의 디지털 컨버터로서, 이는 입력되는 스위칭 신호에 따라 입력전압(V_{in})을 온/오프 스위칭 하는 파워 스위칭부(110)와, 상기 파워 스위칭부(110)에서 출력되는 전압을 정류하는 정류부(120)와, 상기 정류부(120)에서 출력되는 출력전압(V_{out})을 A/D 변환하는 A/D 컨버터(130)와, 상기 A/D 컨버터(130)의 디지털 신호에 기초해서 듀티 업/다운(Duty up/down) 판단하는 업/다운 판단부(140)와, 상기 듀티 판단부(140)의 판단신호에 기초해서 듀티 제어를 위해 상기 파워 스위칭부(110)의 스위칭 동작을 제어하는 PWM 듀티 제어부(150)를 포함한다.

<21> 상기 DC/DC 컨버터는 플래쉬 AD 컨버터를 사용한 디지털 방식으로, 출력단과 기준전압을 비교하여 디지털 DC-DC 컨버터의 출력전압(V_{out})을 조절한다.

<22> 이러한 DC/DC 컨버터에서, 최종 출력전압(V_{out})은 아날로그 전압이므로, 업/다운 판단부 및 PWM 듀티 제어부 등의 디지털 컨트롤러와의 인터페이스(interface)를 위해 AD 컨버터(130)가 사용된다. 여기서, 상기 AD 컨버터는 플래쉬(Flash) AD 컨버터가 주로 사용된다.

<23> 이와 같은 종래의 디지털 DC/DC 컨버터는, 플래쉬 AD 컨버터가 상당 부분의 아날로그 회로 설계를 요구하므로 회로가 복잡하고 회로 설계가 복잡하다는 문제점과, 또한 전력손실도 크다는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<24> 본 발명은 상기한 문제점을 해결하기 위해 제안된 것으로, 그 목적은 A/D 컨버팅 방식 대신에, 1차 델타-시그마 모듈레이션 기법을 적용하여 구현함으로서, 전체 회로에서 아날로그 회로 비중을 줄이고 디지털 회로 비중을 증가시켜 전체 회로를 단순화시킬 수 있고, 설계가 용이하며, 이에 따라 효율성을 향상시킬 수 있는 디지털 모듈레이션 기법을 이용한 디지털 DC-DC 컨버터를 제공하는데 있다.

【발명의 구성 및 작용】

- <25> 상기한 본 발명의 목적을 달성하기 위해서, 본 발명의 디지털 DC-DC 컨버터는
- <26> 디지털 모듈레이션 기법을 이용한 디지털 DC-DC 컨버터에 있어서,
- <27> 입력되는 PWM 신호에 따라 입력되는 직류(DC) 전압(V_{in})을 사전에 설정된 크기의 직류(DC) 전압으로 변환하는 PWM 생성기(210);
- <28> 상기 PWM 생성부(210)에서 출력되는 직류 전압을 사전에 설정된 전압으로 컨버팅하는 컨버터(220);
- <29> 상기 컨버터(220)의 출력전압(V_{out})에 해당되는 피드백 전압(V_{fd})을, 사전에 설정된 기준전압(V_{ref})에 따라, 1비트의 디지털 전압(V_o)으로 변환하는 델타-시그마 변조부(230);

- <30> 상기 텔타-시그마 변조부(230)의 1비트 디지털 전압(V_o)에 포함된 로직 "1"을 정해진 바이트 단위로 카운트하는 카운터(240); 및
- <31> 상기 카운터(240)에 의한 카운트된 로직 "1"의 개수에 따라 하이레벨의 딜레이 시간을 제어하고, 이 제어된 하이레벨 딜레이 시간을 갖는 PWM 신호를 상기 PWM 생성기(210)로 출력하는 딜레이 제어부(250)
- <32> 을 포함하는 것을 특징으로 한다.
- <33> 이하, 본 발명의 바람직한 실시 예를 첨부한 도면을 참조하여 상세히 설명한다. 본 발명에 참조된 도면에서 실질적으로 동일한 구성과 기능을 가진 구성요소들은 동일한 부호를 사용할 것이다.
- <34> 도 2는 본 발명에 따른 디지털 DC/DC 컨버터의 구성도이다.
- <35> 도 2를 참조하면, 본 발명에 따른 디지털 DC/DC 컨버터는 디지털 모듈레이션 기법을 이용한 디지털 DC-DC 컨버터로서, 이는 입력되는 PWM 신호에 따라 입력되는 직류(DC) 전압(V_{in})을 사전에 설정된 크기의 직류(DC) 전압으로 변환하는 PWM 생성기(210)와, 상기 PWM 생성부(210)에서 출력되는 직류 전압을 사전에 설정된 전압으로 컨버팅하는 컨버터(220)와, 상기 컨버터(220)의 출력전압(V_{out})에 해당되는 피드백 전압(V_{fd})을, 사전에 설정된 기준전압(V_{ref})에 따라, 1비트의 디지털 전압(V_o)으로 변환하는 텔타-시그마 변조부(230)와, 상기 텔타-시그마 변조부(230)의 1비트 디지털 전압(V_o)에 포함된 로직 "1"을 정해진 바이트 단위로 카운트하는 카운터(240); 및 상기 카운터(240)에 의한 카운트된 로직 "1"의 개수에 따라 하이레벨의 딜레이 시간을 제어하고, 이 제어된 하이레벨 딜레이 시간을 갖는 PWM 신호를 상기 PWM 생성기(210)로 출력하는 딜레이 제어부(250)를 포함한다.

운터(240)와, 상기 카운터(240)에 의한 카운트된 로직 "1"의 개수에 따라 하이레벨의 딜레이 시간을 제어하고, 이 제어된 하이레벨 딜레이 시간을 갖는 PWM 신호를 상기 PWM 생성기(210)로 출력하는 딜레이 제어부(250)를 포함한다.

- <36> 도 3은 도 3의 1차 델타-시그마 모듈레이터의 회로도이다.
- <37> 도 3을 참조하면, 상기 델타-시그마 변조부(230)는 난-오버래핑(non-overlapping) 2상을 갖는 제1 및 제2 클럭신호(SC1,SC2)에 따라 스위칭되어, 상기 피드백 전압(Vfd) 및 입력되는 출력전압(VA)을 각각 샘플링하는 스위치드 커패시터부(231)와, 상기 스위치드 커패시터부(232)에 의해 샘플링된 전압을 적분하는 적분부(232)와, 상기 적분부(232)로부터의 전압을, 사전에 설정된 기준전압(Vref)과 비교하여 로직 "1" 또는 "0" 상태를 갖는 1비트 디지털 전압(Vo)을 출력하는 비교부(233)와, 상기 비교부(233)에서 출력되는 디지털 전압(Vo)의 로직 상태에 따라, 상기 비교부(233)에서 출력되는 디지털 전압(Vo)을 사전에 설정된 아날로그 전압(VA)으로 변환하여 상기 스위치드 커패시터부(231)로 출력하는 D/A 변환부(234)를 포함한다.
- <38> 상기 델타-시그마 변조부(230)는 "1" 또는 "0"의 1비트 디지털 전압을 출력하는 1차 델타-시그마 모듈레이터(Delta-Sigma Modulator)로 구현되어, 입력되는 아날로그 전압을 디지털 전압으로 변환하는 1비트 A/D 컨버터와 동일한 기능을 수행하도록 이루어진다.
- <39> 도 4는 본 발명에 따른 난-오버래핑 2상을 갖는 제1, 제2 클럭신호의 파형도로서, 상기 제1 클럭신호(SC1)는 50% 보다 낮은 듀티비(duty rate)를 갖는 펄스이고, 상기 제2 클럭신호(SC2)는

상기 제1 클럭신호(SC1)의 로우상태에서 하이레벨을 갖는 50% 보다 낮은 듀티비를 작으며, 상기 제1 클럭신호(SC1)와 난-오버래핑(Non-overlapping)된다.

<40> 상기 스위치드 커패시터부(231)는 상기 피드백 전압(Vfd)의 입력단과의 연결을 상기 제1 클럭신호(SC1)에 따라 스위칭하는 제1 스위치(SW1)와, 상기 제1 스위치(SW1)에 커패시터(C1)를 통해 연결되어 상기 기준전압(Vref)와의 연결을 상기 제1 클럭신호(SC1)에 따라 스위칭하는 제2 스위치(SW2)와, 상기 D/A 변환부(234)의 출력과 상기 제1 스위치(SW1)와 커패시터(C1)의 접속 노드와의 연결을 상기 제2 클럭신호(SC2)에 따라 스위칭하는 제3 스위치(SW3)와, 상기 커패시터(C1)를 통해 상기 적분부(232)에 연결된 출력단을, 상기 제2 클럭신호(SC2)에 따라 스위칭하는 제4 스위치(SW4)를 포함한다.

<41> 상기 D/A 변환부(234)는 상기 비교부(233)에서 출력되는 디지털 전압(Vo)의 로직 상태가 "1"이면, 상기 비교부(233)에서 출력되는 디지털 전압(Vo)을 사전에 설정된 음의 아날로그 전압(-VA)으로 변환하여 상기 스위치드 커패시터부(231)로 출력하고, 상기 비교부(233)에서 출력되는 디지털 전압(Vo)의 로직 상태가 "0"이면, 상기 비교부(233)에서 출력되는 디지털 전압(Vo)을 사전에 설정된 양의 아날로그 전압(+VA)으로 변환하여 상기 스위치드 커패시터부(231)로 출력하도록 이루어진다.

<42> 이하, 본 발명의 작용 및 효과를 첨부한 도면에 의거하여 상세히 설명한다.

- <43> 도 2를 참조하면, 본 발명의 디지털 DC-DC 컨버터의 PWM 생성기(210)는 입력되는 PWM 신호에 따라 입력되는 직류(DC) 전압(V_{in})을 사전에 설정된 크기의 직류(DC) 전압으로 변환하는데, 여기서, 상기 PWM 신호에 의해서 내부의 파워 스위치가 온 또는 오프되고, 이 내부의 파워 스위치의 온 또는 오프 동작에 의해서 상기 직류(DC) 전압(V_{in})이 사전에 설정된 크기의 직류(DC) 전압으로 변환된다.
- <44> 다음, 본 발명의 컨버터(220)는 상기 PWM 생성부(210)에서 출력되는 직류 전압을 사전에 설정된 전압으로 컨버팅하는데, 예를 들어 상기 컨버터(220)는 백 컨버터(buck converter) 또는 부스트 컨버터(boost converter)로 구현될 수 있으며, 백 컨버터(buck converter)일 경우에는 상기 PWM 생성부(210)에서 출력되는 직류 전압을 사전에 설정된 전압으로 강압 컨버팅하고, 반면에, 부스트 컨버터(boost converter)일 경우에는 상기 PWM 생성부(210)에서 출력되는 직류 전압을 사전에 설정된 전압으로 승압 컨버팅한다.
- <45> 다음, 본 발명의 델타-시그마 변조부(230)는 상기 컨버터(220)의 출력전압(V_{out})에 해당되는 피드백 전압(V_{fd})을, 사전에 설정된 기준전압(V_{ref})에 따라, 1비트의 디지털 전압(V_o)으로 변환하는데, 이에 대해서는 도 3 및 도 4를 참조하여 상세히 설명한다.
- <46> 도 3 및 도 4를 참조하면, 상기 델타-시그마 변조부(230)의 스위치드 커패시터부(231)는 난-오버래핑(non-overlapping) 2상을 갖는 제1 및 제2 클럭신호(SC1, SC2)에 따라 스위칭되어, 상기 피드백 전압(V_{fd}) 및 입력되는 출력전압(V_A)을 각각 샘플링하여 적분부(232)로 출력한다.

- <47> 상기 스위치드 커패시터부(231)에 대해서 보다 구체적으로 설명한다.
- <48> 도 4에 도시한 바와 같이, 상기 제1 클럭신호(SC1)와 상기 제2 클럭신호(SC2) 각각 하이레벨 및 로우레벨로 이루어진 2상을 갖으며, 상기 제1 클럭신호(SC1)와 상기 제2 클럭신호(SC2)는 서로 하이레벨끼리 또는 로우레벨끼리 겹치지 않는 난-오버랩(non-overlap) 관계에 있다.
- <49> 이러한 상기 제1 클럭신호(SC1)에 의해서 제1 스위치(SW1) 및 제2 스위치(SW2)가 동작하여 상기 스위치드 커패시터부(231)는 입력되는 전압을 샘플링하는 샘플링 모드(sampling mode)로 동작하고, 상기 제2 클럭신호(SC2)에 의해서 제3 스위치(SW3) 및 제4 스위치(SW4)가 동작하여 상기 스위치드 커패시터부(231)는 샘플링된 전압을 적분부(232)로 보내 적분하는 적분 모드(integrating mode)로 동작한다.
- <50> 먼저, 상기 제1 클럭신호(SC1)에 의해서 제1 스위치(SW1) 및 제2 스위치(SW2)가 온되는 동안에는 상기 제3 스위치(SW3) 및 제4 스위치(SW4)는 오프된다. 이때, 상기 스위치드 커패시터부(231)가 샘플링 모드로 동작하고, 커패시터(C1)를 통하여 피드백 전압(Vfd)이 인가되는 동안에, 적분부(232)의 커패시터(C2)는 홀드(hold)상태에 있게 된다.
- <51> 그 다음, 상기 제2 클럭신호(SC2)에 의해서 제3 스위치(SW3) 및 제4 스위치(SW4)가 온되는 동안에는 상기 제1 스위치(SW1) 및 제2 스위치(SW2)는 오프된다. 이때, 상기 스위치드 커패시터부(231)가 적분 모드로 동작하고, 상기 커패시터(C1)에 저장되어 있는 전하(charge)가 상기 적분부(232)의 커패시터(C2)로 흘러가게 된다.
- <52> 상기 적분부(232)는 상기 스위치드 커패시터부(232)에 의해 샘플링된 전압을 적분하여 비교부(233)로 출력한다.

- <53> 상기 비교부(233)는 1비트의 비교기(comparator)로서 구현될 수 있으며, 이는 상기 적분부(232)로부터의 아날로그 전압을 디지털 전압으로 변환해 주는데, 즉, 상기 적분부(232)로부터의 전압이 사전에 설정된 기준전압(V_{ref})보다 크면 로직 "1" 상태를 출력하고, 또는 상기 적분부(232)로부터의 전압이 사전에 설정된 기준전압(V_{ref})보다 작으면 로직 "0" 상태를 출력한다. 이에 따라, 상기 비교부(233)는 로직 "1" 또는 "0" 상태를 갖는 1비트 디지털 전압(V_o)을 출력한다.
- <54> 이때, 본 발명의 D/A 변환부(234)는 상기 비교부(233)에서 출력되는 디지털 전압(V_o)의 로직 상태에 따라, 상기 비교부(233)에서 출력되는 디지털 전압(V_o)을 사전에 설정된 아날로그 전압(V_A)으로 변환하여 상기 스위치드 커패시터부(231)로 출력한다.
- <55> 즉, 상기 D/A 변환부(234)는 상기 비교부(233)에서 출력되는 디지털 전압(V_o)의 로직 상태가 "1"이면, 상기 비교부(233)에서 출력되는 디지털 전압(V_o)을 사전에 설정된 음의 아날로그 전압(- V_A)으로 변환하여 상기 스위치드 커패시터부(231)로 출력하고, 상기 비교부(233)에서 출력되는 디지털 전압(V_o)의 로직 상태가 "0"이면, 상기 비교부(233)에서 출력되는 디지털 전압(V_o)을 사전에 설정된 양의 아날로그 전압(+ V_A)으로 변환하여 상기 스위치드 커패시터부(231)로 출력한다.
- <56> 또한, 도 2를 참조하면, 본 발명의 카운터(240)는 상기 델타-시그마 변조부(230)의 1비트 디지털 전압(V_o)에 포함된 로직 "1"을 정해진 바이트 단위로 카운트하는데, 예를 들어, 상기 델타-시그마 변조부(230)의 출력이 8비트의 "1,0,1,0,1,0,1,0"이고, 로직 "1"에 해당하는 전압이 '3V'라고 하고, 로직 "0"에 해당하는 전압이 '0V'라 하면, 상기 델타-시그마 변조부(230)의 출력에 해당되는 아날로그 전압은 하기 수학식 1과 같이 된다.



1020040015559

출력 일자: 2005/2/3

<57>

$$\frac{(1+0+1+0+1+0+1+0) \times (3V)}{8(\text{비트})} = \frac{12}{8} = 1.5V$$

【수학식 1】

<58> 또한, 상기 델타-시그마 변조부(230)의 출력이 8비트의 "1,0,0,0,1,0,1,0"이면, 상기 델타-시그마 변조부(230)의 출력에 해당되는 아날로그 전압은 하기 수학식 2 같이 된다.

<59>

$$\frac{(1+0+0+0+1+0+1+0) \times (3V)}{8(\text{비트})} = \frac{9}{8} = 1.125V$$

【수학식 2】

<60> 이러한 본 발명의 델타-시그마 변조부(230)는 입력전압이 기준전압(Vref)에 가까워지면, "1,0,1,0..."의 패턴이 반복되어 나타나게 되고, 이와 달리 기준전압(Vref)보다 크게 되면 패턴 안에 "1"이 많아지게 되고, 반면에 기준전압(Vref)보다 작게 되면 패턴 안에 "0"이 많아지게 된다.

<61> 그 다음, 본 발명의 딜레이 제어부(250)는 상기 카운터(240)에 의한 카운트된 로직 "1"의 개수에 따라 하이레벨의 딜레이 시간을 제어하고, 이 제어된 하이레벨 딜레이 시간을 갖는 PWM 신호를 상기 PWM 생성기(210)로 출력한다.

<62> 도 5는 본 발명의 DC/DC 컨버터의 고정 기준전압-출력전압 특성도이다.

- <63> 도 5는 기준전압(V_{ref})을 "0.5V"로 정하고, 본 발명의 DC-DC 컨버터에 대한 시뮬레이션을 결과 화면으로, 도 5를 참조하면, 종래의 디지털 컨버터와 비교하여 출력전압(V_{out})이 오버슛이 거의 없이 "0.5V"로 곧바로 안정화되는 것을 보여주고 있는데, 이는 본 발명의 DC/DC 컨버터에 의한 출력전압(V_{out})이 오버슛이 거의 없이 안정화되는 장점을 보여주고 있다.
- <64> 도 6은 본 발명의 DC/DC 컨버터의 가변 기준전압-출력전압 특성도이다.
- <65> 도 6은 기준전압(V_{ref})이 급격하게 변화했을 때에도 본 발명의 디지털 DC-DC 컨버터가 얼마나 안정적으로 기준전압(V_{ref})에 응답하여 동작하는지를 확인하기 위한 시뮬레이션으로서, 도 6a를 참조하면, 기준전압(V_{ref})을 "1.0V->1.5V->1.2V"로 변화시키더라도, 도 6b에 도시한 바와같이 본 발명의 디지털 컨버터의 출력전압(V_{out})은 급격한 기준전압(V_{ref})의 변화에도 상기 기준전압(V_{ref})을 추종하여 매우 안정적으로 동작하고 있음을 알 수 있다.
- <66> 전술한 바에 따르면, 본 발명의 디지털 DC-DC 컨버터는 출력전압(V_{out})이 기준저압(V_{ref})보다 작으면 "1"을 많이 발생하여 본 발명의 카운터(240)에서 "1"의 개수가 증가되고, 반대로 출력전압(V_{out})이 기준전압(V_{ref})보다 크면 "0"을 많이 발생시켜 상기 카운터(240)에서 "1"의 개수가 감소된다. 이와 같은 동작을 반복하면서 기준전압(V_{ref})에 일치하게 출력전압(V_{out})을 발생시킬 수 있어 시스템에 안정적인 전압 공급이 가능하게 된다.

【발명의 효과】

- <67> 상술한 바와 같은 본 발명에 따르면, 디지털 모듈레이션 기법을 이용한 디지털 DC-DC 컨버터에서, A/D 컨버팅 방식 대신에, 1차 델타-시그마 모듈레이션 기법을 적용하여 구현함으로서, 전체 회로에서 아날로그 회로 비중을 줄이고 디지털 회로 비중을 증가시켜 전체 회로를 단순화 시킬 수 있고, 설계가 용이하며, 이에 따라 효율성을 향상시킬 수 있는 효과가 있다.
- <68> 이상의 설명은 본 발명의 구체적인 실시 예에 대한 설명에 불과하므로, 본 발명은 이러한 구체적인 실시 예에 한정되지 않으며, 또한, 본 발명에 대한 상술한 구체적인 실시 예로부터 그 구성의 다양한 변경 및 개조가 가능하다는 것을 본 발명이 속하는 기술분야의 통상의 지식을 가진 자는 쉽게 알 수 있다.

【특허청구범위】**【청구항 1】**

디지털 모듈레이션 기법을 이용한 디지털 DC-DC 컨버터에 있어서,
입력되는 PWM 신호에 따라 입력되는 직류(DC) 전압(V_{in})을 사전에 설정된 크기의 직류(DC)
전압으로 변환하는 PWM 생성기(210);
상기 PWM 생성부(210)에서 출력되는 직류 전압을 사전에 설정된 전압으로 컨버팅하는 컨버터
(220);
상기 컨버터(220)의 출력전압(V_{out})에 해당되는 피드백 전압(V_{fd})을, 사전에 설정된 기준전
압(V_{ref})에 따라, 1비트의 디지털 전압(V_o)으로 변환하는 텔타-시그마 변조부(230);
상기 텔타-시그마 변조부(230)의 1비트 디지털 전압(V_o)에 포함된 로직 "1"을 정해진 바이트
단위로 카운트하는 카운터(240); 및
상기 카운터(240)에 의한 카운트된 로직 "1"의 개수에 따라 하이레벨의 딜레이 시간을 제어
하고, 이 제어된 하이레벨 딜레이 시간을 갖는 PWM 신호를 상기 PWM 생성기(210)로 출력하는
딜레이 제어부(250)
을 포함하는 것을 특징으로 하는 디지털 DC-DC 컨버터.

【청구항 2】

제1항에 있어서, 상기 텔타-시그마 변조부(230)는

난-오버래핑(non-overlapping) 2상을 갖는 제1 및 제2 클럭신호(SC1, SC2)에 따라 스위칭되어, 상기 피드백 전압(Vfd) 및 입력되는 출력전압(VA)을 각각 샘플링하는 스위치드 커패시터부(231);

상기 스위치드 커패시터부(231)에 의해 샘플링된 전압을 적분하는 적분부(232);

상기 적분부(232)로부터의 전압을, 사전에 설정된 기준전압(Vref)과 비교하여 로직 "1" 또는 "0" 상태를 갖는 1비트 디지털 전압(Vo)을 출력하는 비교부(233); 및

상기 비교부(233)에서 출력되는 디지털 전압(Vo)의 로직 상태에 따라, 상기 비교부(233)에서 출력되는 디지털 전압(Vo)을 사전에 설정된 아날로그 전압(VA)으로 변환하여 상기 스위치드 커�패시터부(231)로 출력하는 D/A 변환부(234)

를 포함하는 것을 특징으로 하는 디지털 DC-DC 컨버터.

【청구항 3】

제2항에 있어서, 상기 스위치드 커패시터부(231)는

상기 피드백 전압(Vfd)의 입력단과의 연결을 상기 제1 클럭신호(SC1)에 따라 스위칭하는 제1 스위치(SW1);

상기 제1 스위치(SW1)에 커패시터(C1)를 통해 연결되어 상기 기준전압(Vref)와의 연결을 상기

제1 클럭신호(SC1)에 따라 스위칭하는 제2 스위치(SW2);

상기 D/A 변환부(234)의 출력과 상기 제1 스위치(SW1)와 커패시터(C1)의 접속노드와의 연결을 상기 제2 클럭신호(SC2)에 따라 스위칭하는 제3 스위치(SW3); 및

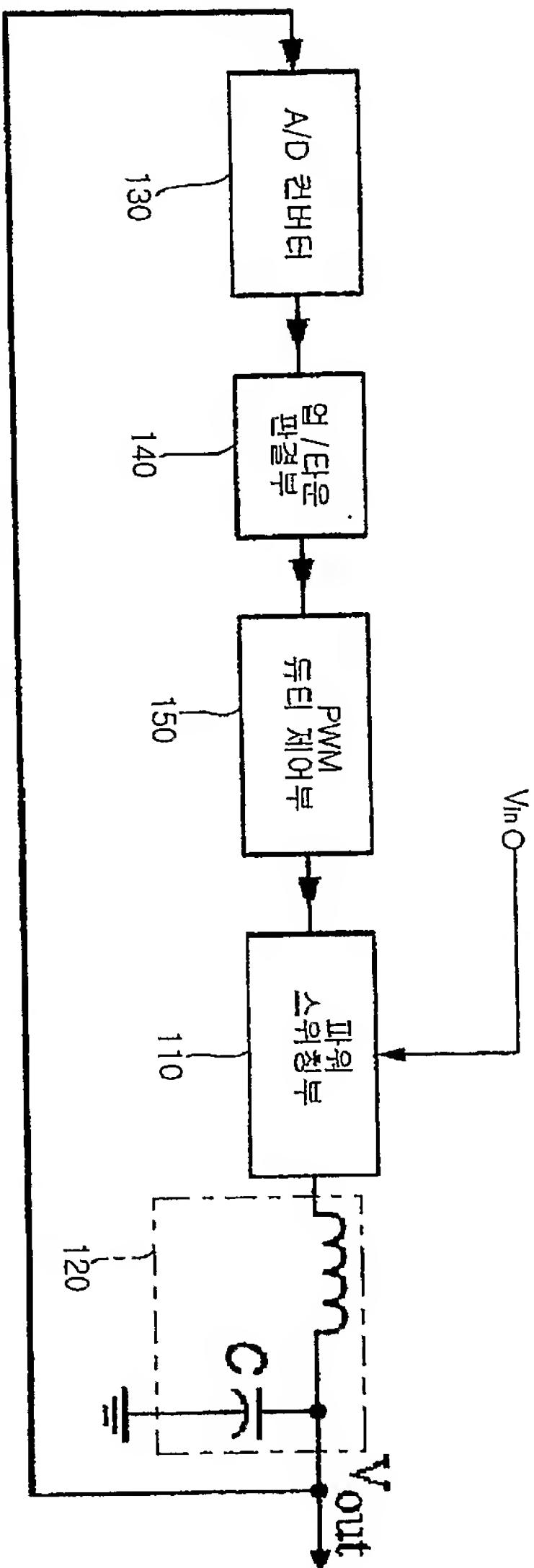
상기 커패시터(C1)를 통해 상기 적분부(232)에 연결된 출력단을, 상기 제2 클럭신호(SC2)에 따라 스위칭하는 제4 스위치(SW4)를 포함하는 것을 특징으로 하는 디지털 DC-DC 컨버터.

【청구항 4】

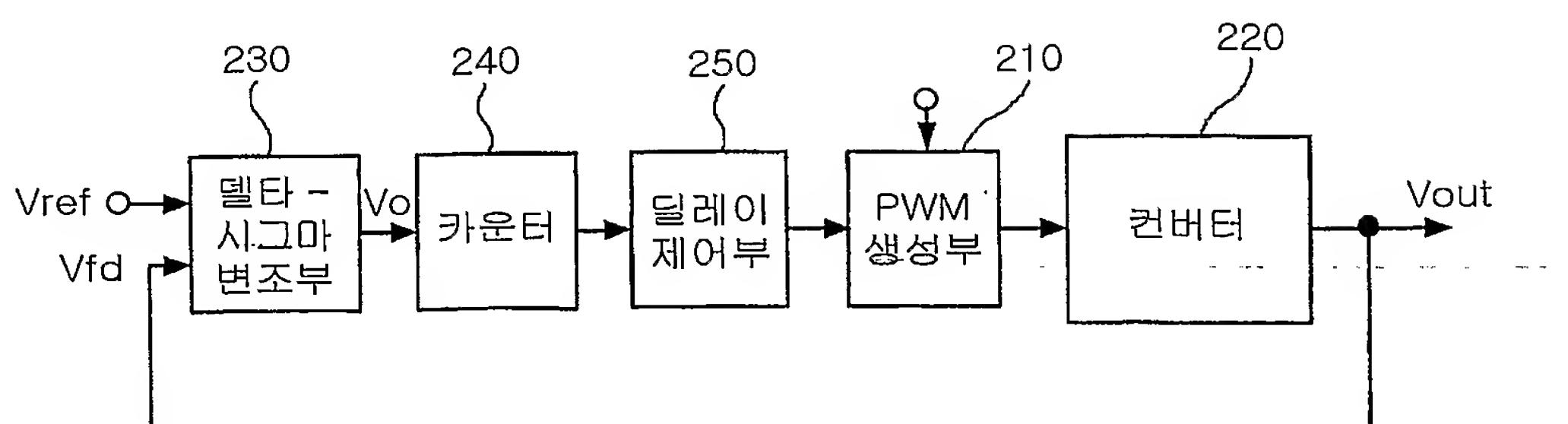
제2항에 있어서, 상기 D/A 변환부(234)는 상기 비교부(233)에서 출력되는 디지털 전압(V_o)의 로직 상태가 "1"이면, 상기 비교부(233)에서 출력되는 디지털 전압(V_o)을 사전에 설정된 음의 아날로그 전압(-VA)으로 변환하여 상기 스위치드 커패시터부(231)로 출력하고, 상기 비교부(233)에서 출력되는 디지털 전압(V_o)의 로직 상태가 "0"이면, 상기 비교부(233)에서 출력되는 디지털 전압(V_o)을 사전에 설정된 양의 아날로그 전압(+VA)으로 변환하여 상기 스위치드 커패시터부(231)로 출력하도록 이루어진 것을 특징으로 하는 디지털 DC-DC 컨버터.

【도면】

【도 1】



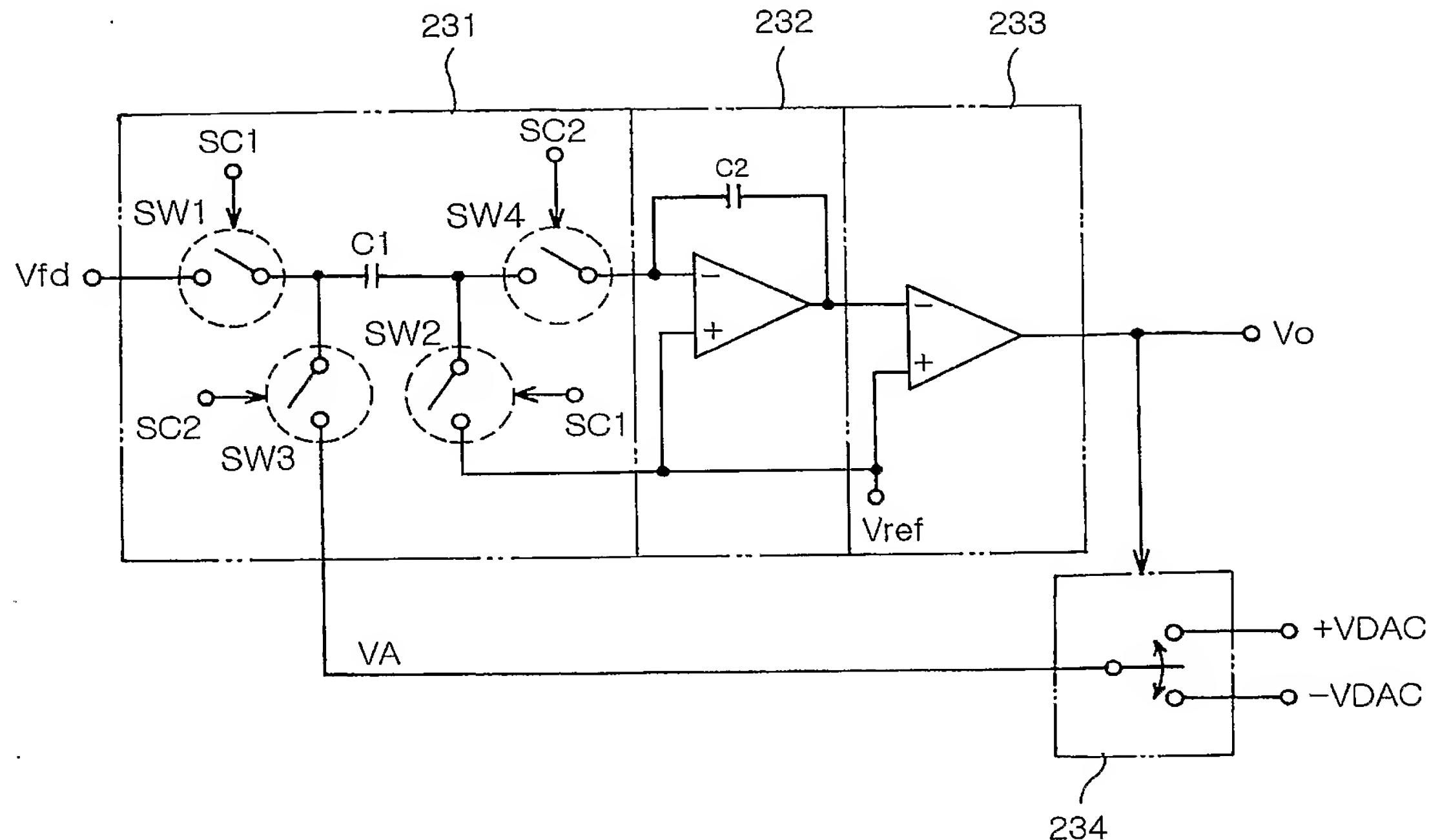
【도 2】



0040015559

출력 일자: 2005/2/3

【도 3】



【도 4】

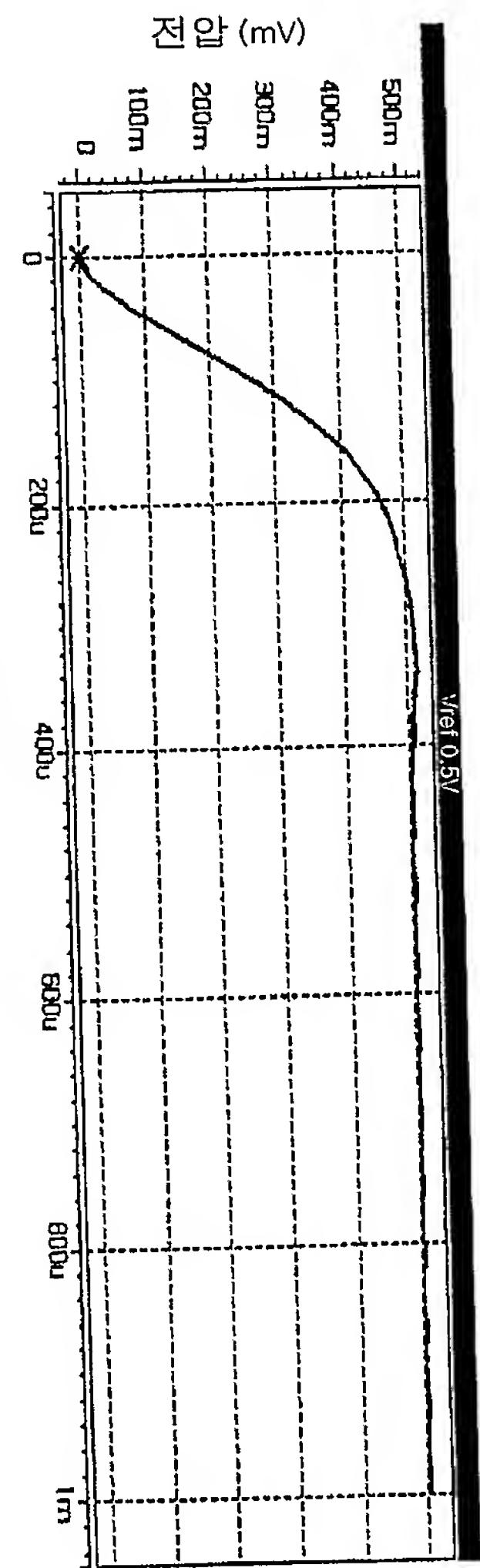
SC1:

SC2:

1020040015559

출력 일자: 2005/2/3

【도 5】



【도】 6

